

B0301T

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月 7日

出 願 番 号

Application Number:

特願2002-293148

[ST.10/C]:

[JP 2002-293148]

出 願 人

Applicant(s):

沖電気工業株式会社

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3006959

【書類名】 特許願

【整理番号】 SU000324

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/822
H01L 29/92
H01L 23/62

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 笹原 勝彦

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100068928

【弁理士】

【氏名又は名称】 鈴木 敏明

【電話番号】 03-3457-9617

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び入力ピン容量の設定方法

【特許請求の範囲】

【請求項 1】 入力パッドと内部回路とを接続する配線と、前記配線に電氣的に接続された第 1 の静電気保護素子と、前記配線の近傍に配置された第 2 の静電気保護素子と、前記配線と前記第 2 の静電気保護素子との間に配置されたヒューズとを有する入力回路を備える半導体チップが単数又は二つ形成された半導体装置であって、

前記半導体チップが単数形成されている場合、前記ヒューズにより前記配線と前記第 2 の静電気保護素子とは電氣的に接続され、

前記半導体チップが二つ形成されている場合、前記ヒューズを切断することにより、前記配線と前記第 2 の静電気保護素子とは電氣的に切断されていることを特徴とする半導体装置。

【請求項 2】 入力パッドと内部回路とを接続する配線と、前記配線の近傍に配置された第 1 及び第 2 の静電気保護素子と、前記配線と前記第 1 及び第 2 の静電気保護素子のそれぞれとの間に配置されたヒューズとを有する入力回路を備える半導体チップが単数又は二つ形成された半導体装置であって、

前記半導体チップが単数形成されている場合、前記ヒューズにより前記配線と前記第 1 及び第 2 の静電気保護素子とは電氣的に接続され、

前記半導体チップが二つ形成されている場合、前記ヒューズを切断することにより、前記配線と前記第 1 又は第 2 の静電気保護素子とは電氣的に切断されていることを特徴とする半導体装置。

【請求項 3】 入力パッドと内部回路とを接続する配線と、前記配線に電氣的に接続された第 1 の静電気保護素子と、前記配線の近傍に配置された第 2 ～第 n （2 以上の整数）の静電気保護素子と、前記配線と前記第 2 ～第 n の静電気保護素子との間に配置されたヒューズとを有する入力回路を備える半導体チップが単数又は n 個形成された半導体装置であって、

前記半導体チップが単数形成されている場合、前記配線と前記第 2 ～第 n の静電気保護素子とは電氣的に接続され、

前記半導体チップが n 個形成されている場合、すべてのヒューズを切断することにより、前記配線と前記第 2 ～ 第 n の静電気保護素子とは電氣的に切断されていることを特徴とする半導体装置。

【請求項 4】 入力パッドと内部回路とを接続する配線と、前記配線の近傍に配置された第 1 ～ 第 n の静電気保護素子と、前記配線と前記第 1 ～ 第 n の静電気保護素子との間に配置されたヒューズとを有する入力回路を備える半導体チップが単数又は n 個形成された半導体装置であって、

前記半導体チップが単数形成されている場合、前記配線と前記第 1 ～ 第 n の静電気保護素子とは電氣的に接続され、

前記半導体チップが n 個形成されている場合、 $n - 1$ 個のヒューズを切断することにより、前記配線と前記第 1 ～ 第 n の静電気保護素子のうち 1 個は接続され、残りの $n - 1$ 個は電氣的に切断されていることを特徴とする半導体装置。

【請求項 5】 入力パッドと内部回路とを接続する配線と、前記配線の近傍に配置された複数の静電気保護素子と、前記配線と複数の前記静電気保護素子との間にそれぞれ配置された複数のヒューズとを有する入力回路を備える半導体チップが単数又は複数形成された半導体装置であって、

前記半導体チップが単数形成されている場合、複数の前記ヒューズにより前記配線とすべての前記静電気保護素子とは電氣的に接続され、

前記半導体チップが複数形成されている場合、複数の前記ヒューズのうち、所定の数の前記ヒューズが切断され、前記ヒューズが切断された箇所に位置する前記静電気保護素子と前記配線とが電氣的に切断されていることを特徴とする半導体装置。

【請求項 6】 1 パッケージに搭載されることが予想されるチップ数 o 、 p の最小公倍数が m のときに、入力パッドと内部回路とを接続する配線と、前記配線に電氣的に接続された第 1 の静電気保護素子と、前記配線の近傍に配置された第 2 ～ 第 m の静電気保護素子と、前記配線と前記第 2 ～ 第 m の静電気保護素子との間に配置されたヒューズとを有する入力回路を備える半導体チップが単数、 o 個又は p 個形成された半導体装置であって、

前記半導体チップが単数形成されている場合、前記配線と前記第 1 ～ 第 m の静

電気保護素子とは電氣的に接続され、

前記半導体チップが o 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/o の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/o + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断され、

前記半導体チップが p 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/p の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/p + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断されていることを特徴とする半導体装置。

【請求項 7】 1 パッケージに搭載されることが予想されるチップ数 o , p の最小公倍数が m のときに、入力パッドと内部回路とを接続する配線と、前記配線の近傍に配置された第 $1 \sim$ 第 m の静電気保護素子と、前記配線と前記第 $1 \sim$ 第 m の静電気保護素子との間に配置されたヒューズとを有する入力回路を備える半導体チップが単数、 o 個又は p 個形成された半導体装置であって、

前記半導体チップが単数形成されている場合、前記ヒューズにより前記配線と前記第 $1 \sim$ 第 m の静電気保護素子とは電氣的に接続され、

前記半導体チップが o 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/o の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/o + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断され、

前記半導体チップが p 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/p の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/p + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断されていることを特徴とする半導体装置。

【請求項 8】 1 パッケージに搭載されることが予想されるチップ数 o , p , q の最小公倍数が m のときに、入力パッドと内部回路とを接続する配線と、前記配線に電氣的に接続された第 1 の静電気保護素子と、前記配線の近傍に配置された第 $2 \sim$ 第 m の静電気保護素子と、前記配線と前記第 $2 \sim$ 第 m の静電気保護素子との間に配置されたヒューズとを有する入力回路を備える半導体チップが単数、 o 個、 p 個又は q 個形成された半導体装置であって、

前記半導体チップが単数形成されている場合、前記配線と前記第 $1 \sim$ 第 m の静

電気保護素子とは電氣的に接続され、

前記半導体チップが o 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/o の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/o + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断され、

前記半導体チップが p 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/p の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/p + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断され、

前記半導体チップが q 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/q の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/q + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断されていることを特徴とする半導体装置。

【請求項 9】 1 パッケージに搭載されることが予想されるチップ数 o 、 p 、 q の最小公倍数が m のときに、入力パッドと内部回路とを接続する配線と、前記配線の近傍に配置された第 $1 \sim$ 第 m の静電気保護素子と、前記配線と前記第 $1 \sim$ 第 m の静電気保護素子との間に配置されたヒューズとを有する入力回路を備える半導体チップが単数、 o 個、 p 個又は q 個形成された半導体装置であって、

前記半導体チップが単数形成されている場合、前記配線と前記第 $1 \sim$ 第 m の静電気保護素子とは電氣的に接続され、

前記半導体チップが o 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/o の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/o + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断され、

前記半導体チップが p 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/p の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/p + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断され、

前記半導体チップが q 個形成されている場合、所定のヒューズを切断することにより、前記配線と前記第 $1 \sim$ 第 m/q の静電気保護素子とは電氣的に接続され、前記配線と前記第 $m/q + 1 \sim$ 第 m の静電気保護素子とは電氣的に切断されていることを特徴とする半導体装置。

【請求項 10】 前記静電気保護素子が MOS トランジスタによるキャパシ

タであることを特徴とする請求項 1 ～ 9 のいずれかに記載の半導体装置。

【請求項 1 1】 請求項 1 ～ 1 0 のいずれかに記載の半導体チップにおけるヒューズを切断することにより入力ピン容量を制御することを特徴とする入力ピン容量の設定方法。

【請求項 1 2】 前記ヒューズの切断は 1 つのパッケージに搭載される前記半導体チップの数に対応して行われることを特徴とする請求項 1 1 記載の入力ピン容量の設定方法。

【請求項 1 3】 前記ヒューズの切断はレーザにより行われることを特徴とする請求項 1 2 記載の入力ピン容量の設定方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はマルチチップパッケージに適する半導体チップを搭載した半導体装置及び半導体チップの入力ピン容量の設定方法に関するものである。

【 0 0 0 2 】

【従来の技術】

【特許文献 1】 特開平 1 0 - 3 2 1 7 4 2 号公報

従来、半導体装置、例えば D R A M は 1 つのパッケージに 1 チップが搭載されたシングルチップパッケージが多かった。

しかし、近年、D R A M の大容量化に伴い、1 パッケージに複数チップを搭載するマルチチップパッケージにした D R A M 製品が開発されている。

【特許文献 1】では、両面搭載型半導体集積回路装置において、静電保護回路をいずれか一方の集積回路チップのみに設け、或いは 2 つの集積回路チップに分散させて設ける構成を提案している。

【 0 0 0 3 】

D R A M には、最大値と最少値を例えば 5 P F と 2 . 5 P F に定めた入力ピン容量というスペック（仕様、規格）がある。入力ピン容量はパッケージの要因で発生するパッケージ分の容量とチップの要因で発生するチップ分の容量で構成されている。

通常、パッケージ分の容量は変更することが困難なため、【特許文献 1】においてもチップ分の容量を調節してスペックを満たすようにしていると思われる。

【0004】

図 1 4 は半導体チップの従来の入力回路を示す図である。【特許文献 1】の場合は、NチャネルMOSトランジスタを使用しているが、図 5 の回路例は、本発明との対比から、CMOSトランジスタを使用している。

入力回路は主として静電気保護素子 1 と入力パッド 2 と配線 3 で構成されている。静電気保護素子 1 は PチャネルMOSトランジスタ P c h と NチャネルMOSトランジスタ N c h を接続した CMOSトランジスタを使用したキャパシタである。

静電気保護素子 1 は、入力パッド 2、配線 3 を通して静電気が侵入し、内部回路に高電圧が印加されて内部回路が破壊されるのを防止するために設けられている。

【0005】

この入力回路によるチップ分の入力ピン容量は PチャネルMOSトランジスタ P c h と NチャネルMOSトランジスタ N c h のソース・ドレイン間の接合容量の和である。容量は接合面積に比例するので、入力ピン容量は p n 接合の接合面積を設計段階において調整することにより設定される。

【0006】

【発明が解決しようとする課題】

しかしながら、シングルチップパッケージ用にチップ分の入力ピン容量が設定されたチップを用いてマルチチップパッケージを開発した場合、マルチチップパッケージの入力ピン容量のスペックはシングルチップパッケージのスペックと同様なので、チップ分の入力ピン容量は単純に加算されて 2 チップ目以降のチップ分の容量が増加し、スペックの上限を逸脱してしまうという問題があった。

そのため、チップ分の入力容量を調整するが、その容量は固定されたもので、マルチチップパッケージのチップ数に応じて変えることはできなかった。

【0007】

【課題を解決するための手段】

上記課題を解決するため、本発明は入力パッドと内部回路とを接続する配線にヒューズを介して接続される静電気保護素子を設けて入力回路を構成し、1パッケージに搭載される半導体チップの数に対応して所定のヒューズを切断するようにしたものである。

【0008】

【発明の実施の形態】

図1は本発明の第1の実施形態の入力回路を示す図である。

入力回路は静電気保護素子1と入力パッド2と配線3とヒューズ4を備えている。静電気保護素子1は従来と同様のものであるが、パッケージのチップ分の入力ピン容量を2分割したPチャネルMOSトランジスタPch-1とPch-2によるキャパシタにより、従来のPチャネルMOSトランジスタPchによるキャパシタに相当するように構成されている。

NチャネルMOSトランジスタNch-1とNch-2によるキャパシタも同じである。

なお、CMOSトランジスタによるキャパシタを示しているが、NチャネルMOSトランジスタ又はPチャネルMOSトランジスタPchによるキャパシタだけでも良いことは勿論である。

【0009】

また、入力パッド2はピンに接続される入力端子であり、配線3は入力パッド2と内部回路とを接続するもので、いずれも従来と同じである。

ヒューズ4はアルミニウム等の金属配線と同じ材料で配線パターンと同様の方法で形成される。

なお、上記の構成要素以外にダイオード等の回路を付加して構成しても構わない。

【0010】

トランジスタPch-1及びNch-1による第1の静電気保護素子1は配線3に接続されている。

トランジスタPch-2及びNch-2による第2の静電気保護素子1は配線3の近傍に配置されている。ヒューズ4は配線3と第2の静電気保護素子1との

間に配置されている。

【 0 0 1 1 】

トランジスタ P_{ch-1} によるキャパシタの容量とトランジスタ P_{ch-2} によるキャパシタの容量は同じで、上記したようにパッケージのチップ分の入力ピン容量を等分に 2 分割したものであるが、その容量の設定はソース・ドレインの $p-n$ 接合の接合面積を設計段階で $1/2$ に調整することにより行われる。

トランジスタ N_{ch-1} 及び N_{ch-2} によるキャパシタの場合も同じである。

【 0 0 1 2 】

図 2 はマルチチップパッケージ化する第 1 の実施形態を示す図である。

上記のように構成された入力回路を備えた半導体チップをシングルチップパッケージで使用する時は、トランジスタ P_{ch-1} 、 P_{ch-2} 及び N_{ch-1} 、 N_{ch-2} を使用した 1 チップを 1 つのパッケージに搭載する。

このように半導体チップが単数形成されている場合、ヒューズ 4 を切断しないので、トランジスタ P_{ch-2} 及び N_{ch-2} による第 2 の静電気保護素子 1 は配線 3 と電氣的に接続されている。

【 0 0 1 3 】

一方、マルチチップパッケージ（2 チップ搭載）の場合は、図 2 に示すように、ヒューズ 4 を切断して、トランジスタ P_{ch-2} 及び N_{ch-2} による第 2 の静電気保護素子 1 を切り離して電氣的に切断し、トランジスタ P_{ch-1} 及び N_{ch-1} による第 1 の静電気保護素子 1 のみを使用する。

このように半導体チップが二つ形成されている場合、ヒューズ 4 を切断した 2 個のチップの入力パッド 2 をそれぞれパッケージの共通端子 5 に接続して 1 つのパッケージに搭載し、マルチチップパッケージの半導体装置を構成する。

このようにパッケージのチップ分の入力ピン容量を 2 分割し、ヒューズ 4 を切断して一方を切離した半導体チップを 2 個搭載してマルチチップパッケージにしても、パッケージの入力ピン容量がスペックの上限を超えることはない。

【 0 0 1 4 】

ヒューズ 4 の切断はウエーハ処理終了後にレーザにより実施されるが、ヒュー

ズ4のパターン幅を細くしたり、パターン膜厚を薄くして、予め切断し易い処置を施しておくが良い。

【0015】

図3は本発明の第2の実施形態の入力回路を示す図で、図4はマルチチップパッケージ化する第2の実施形態を示す図である。

第1の実施形態とは、トランジスタPch-1, Nch-1による第1の静電気保護素子1もヒューズ4を介して配線3に接続されていることが異なるだけで、他は全く同じである。

【0016】

静電気保護素子1は少なくとも1つは入力パッド2に接続されていないと静電気により内部回路を破壊してしまうので、第1の実施形態の入力回路で十分であるが、第2の実施形態はどのヒューズ4を切断しても良いように、すべての静電気保護素子1にヒューズ4を接続したものである。

従って、マルチチップパッケージで使用する場合は、図4に示すように、パッケージのチップ分の入力ピン容量を2分割した一方の静電気保護素子1のヒューズ4を切断し、他方はヒューズ4を切断せずに配線3と電氣的に接続したまま使用すれば良い。

【0017】

図5は本発明の第3の実施形態の入力回路を示す図で、図6はマルチチップパッケージ化する第3の実施形態を示す図である。

第1、第2の実施形態が2チップ搭載用であるのに対し、第3の実施形態はこれをnチップ搭載用に汎用化したものである。なお、nは2以上の整数である。

【0018】

パッケージのチップ分の入力ピン容量は等分にn個に分割され、静電気保護素子1であるMOSトランジスタを使用したキャパシタにより実現される。

具体的には各トランジスタPch-1~Pch-nの容量を形成する接合面積を、シングルチップパッケージ用の従来のトランジスタPchに相当する接合面積の1/nに形成する。

同様に各トランジスタNch-1~Nch-nについても接合面積を1/nに

形成する。

【0019】

このように構成された入力回路を備えた半導体チップをシングルチップパッケージにする時は、ヒューズ4を切断することなく、配線3と電氣的に接続された第1～第nの静電保護素子1を構成するすべてのトランジスタ $P_{ch-1} \sim P_{ch-n}$ 及び $N_{ch-1} \sim N_{ch-n}$ を使用したチップを1つのパッケージに1個搭載する。

【0020】

マルチチップパッケージの場合は、図6に示すように、すべてのヒューズ4を切断することにより、第2～第nの静電保護素子1、即ちトランジスタ $P_{ch-2} \sim P_{ch-n}$ 及び $N_{ch-2} \sim N_{ch-n}$ を切離して配線3と電氣的に切断し、第1の静電保護素子1、即ちトランジスタ P_{ch-1} 、 N_{ch-1} のみを使用したチップをn個、#1～#nの入力パッド2をそれぞれパッケージの共通端子5に接続して1つのパッケージに搭載し、マルチチップパッケージの半導体装置を構成する。

【0021】

図7は本発明の第4の実施形態の入力回路を示す図で、図8はマルチチップパッケージ化する第4の実施形態を示す図である。

第3の実施形態とは、第1の静電気保護素子1を構成するトランジスタ P_{ch-1} 、 N_{ch-1} がヒューズ4を介して配線3に接続されていることが異なるだけで、他は全く同じである。

【0022】

マルチチップパッケージにする場合は、図8に示すように、例えば第1の静電保護素子1であるトランジスタ P_{ch-1} 、 N_{ch-1} のヒューズ4は切断せず、他のヒューズ4はすべて切断して使用すれば良い。

どのヒューズ4を切断するかはレーザで切断する際のプログラムにより簡単に制御することができるので、切断しないヒューズを第1の静電保護素子1のヒューズ4と限定する必要はなく、いずれのヒューズ4であってもよい。

【0023】

図 9 はマルチチップパッケージ化する第 5 の実施形態を示す図である。

第 4 の実施形態では、例えば第 1 の静電保護素子 1 であるトランジスタ $Pch-1$, $Nch-1$ のヒューズ 4 は切断せず、他のヒューズ 4 はすべて切断していたが、第 5 の実施形態では、第 1 及び第 2 の静電保護素子 1 であるトランジスタ $Pch-1$, $Nch-1$ 及び $Pch-2$, $Nch-2$ のヒューズ 4 は切断せず、第 3 の静電保護素子 1 であるトランジスタ $Pch-3$, $Nch-3$ から第 s の静電保護素子 1 であるトランジスタ $Pch-s$, $Nch-s$ のヒューズ 4 を切断する。

このようにして半導体チップを n 個以下で使用し、入力パッド 2 をそれぞれパッケージの共通端子 5 に接続して 1 つのパッケージに搭載し、マルチチップパッケージの半導体装置を構成する。

【 0 0 2 4 】

半導体チップを n 個搭載する場合は、パッケージのチップ分の入力ピン容量は等分に n より大きい s 個、例えば $2n$ 個等に分割されている必要がある。そうしないと入力ピン容量のスペックを越える恐れがあるからである。

また、半導体チップを n より小さい、例えば $n-1$ 個搭載する場合は、入力ピン容量は $s = n$ 個の分割でもよいが、いずれにしろパッケージの入力ピン容量のスペックを満たす必要がある。

なお、トランジスタ $Pch-1$, $Nch-1$ は図 6 のように配線 3 に直接接続されていても良い。

【 0 0 2 5 】

以上のように第 1 ～第 5 の実施形態によれば、入力パッドと内部回路とを接続する配線にヒューズを介して接続され、パッケージのチップ分の入力ピン容量を分割した静電気保護素子を設けて入力回路を構成し、1 パッケージに搭載される半導体チップの数に対応して所定のヒューズを切断するようにしたので、所定のヒューズを切断した半導体チップを複数個搭載してマルチチップパッケージにしても、入力ピン容量のスペックを満たすことができる。

また、シングルチップパッケージで使用する時はヒューズを切断することなく、すべての静電気保護素子を使用すれば良いので、半導体チップをシングルパッ

ページとマルチチップパッケージに共用することができる。

【 0 0 2 6 】

図 1 0 は本発明の第 6 の実施形態を示す図である。

第 3 の実施形態では n チップの搭載用として汎用化した但、第 6 の実施形態は 1 つのパッケージに搭載されることが想定されるチップ数 o 、 p の最小公倍数 m にしたものである。これにより複数のマルチチップパッケージに共用する半導体チップとして構成することができる。

【 0 0 2 7 】

複数のマルチチップパッケージとして、2 種類、例えば o チップ搭載用、 p チップ搭載用の共用チップを使用する場合に、パッケージのチップ分の入力ピン容量を o 、 p の最小公倍数 m に分割する。

即ち、シングルチップパッケージ用の従来のトランジスタ Pch 、 Nch に相当する容量を形成する接合面積を最小公倍数の m 個に等分に分割する。

従って、各トランジスタ $Pch-1 \sim Pch-m$ 、 $Nch-1 \sim Nch-m$ の接合面積はシングルチップパッケージ用の各トランジスタ Pch 、 Nch の接合面積の $1/m$ に形成される。

【 0 0 2 8 】

第 1 の静電保護素子 1 を構成するトランジスタ $Pch-1$ 、 $Nch-1$ は直接配線 3 に接続され、第 2 ～第 m の静電保護素子 1 を構成するトランジスタ $Pch-2 \sim Pch-m$ 及び $Nch-2 \sim Nch-m$ はそれぞれヒューズ 4 を介して配線 3 に接続されている。

このように構成した入力回路を有する半導体チップをシングルチップパッケージ (SCP) 搭載用に使用する時は、ヒューズ 4 を切断することなく、第 1 ～第 m の静電保護素子 1 を構成するすべてのトランジスタ $Pch-1 \sim Pch-m$ 、 $Nch-1 \sim Nch-m$ を使用したチップを 1 つのパッケージに 1 個搭載する。

【 0 0 2 9 】

マルチチップパッケージ搭載用例えば o チップ搭載用に使用する時は、ヒューズ 4 を切断することなく配線 3 に接続された、図に示した矢印の範囲の第 1 ～第 m/o の静電保護素子 1 を構成するトランジスタ $Pch-1 \sim Pch-m/o$ 及

び $Nch-1 \sim Nch-m/o$ を使用し、ヒューズ 4 を切断することにより、第 $m/o + 1 \sim$ 第 m の静電保護素子 1 を構成するトランジスタ $Pch-m/o + 1 \sim Pch-m$ 及び $Nch-m/o + 1 \sim Nch-m$ を配線 3 と電氣的に切断したチップを 1 つのパッケージに o 個搭載する。

p チップ搭載用の場合は、図に示した矢印の範囲の第 $1 \sim$ 第 m/p の静電保護素子 1 を構成するトランジスタ $Pch-1 \sim Pch-m/p$ 及び $Nch-1 \sim Nch-m/p$ を使用し、ヒューズ 4 を切断することにより、第 $m/p + 1 \sim$ 第 m の静電保護素子 1 を構成するトランジスタ $Pch-m/p + 1 \sim Pch-m$ 及び $Nch-m/p + 1 \sim Nch-m$ を配線 3 と電氣的に切断したチップを 1 つのパッケージに p 個搭載する。

【0030】

上記の例において、例えば $o = 2$ ， $p = 3$ とした場合、最少公倍数 m は 6 となり、 o チップ即ち 2 チップ搭載用に使用する時は、 $Pch-1 \sim Pch-3$ 及び $Nch-1 \sim Nch-3$ を使用し、 $Pch-4 \sim Pch-6$ 及び $Nch-4 \sim Nch-6$ のヒューズ 4 を切断したチップを 2 個搭載すれば良い。

p チップ即ち 3 チップ搭載用に使用する時は、 $Pch-1 \sim Pch-2$ 及び $Nch-1 \sim Nch-2$ を使用し、 $Pch-3 \sim Pch-6$ 及び $Nch-3 \sim Nch-6$ のヒューズ 4 を切断したチップを 3 個搭載すれば良い。

【0031】

図 11 は本発明の第 7 の実施形態を示す図である。

第 4 の実施形態では n チップの搭載用として汎用化したが、第 7 の実施形態はこの n を 1 つのパッケージに搭載されることが想定されるチップ数 o ， p の最小公倍数 m に特定したものである。これにより複数のマルチチップパッケージに共用する半導体チップとして構成することができる。

第 6 の実施形態とは、第 1 の静電保護素子 1 を構成するトランジスタ $Pch-1$ ， $Nch-1$ がヒューズ 4 を介して配線 3 に接続されているのが異なるだけで他は同じである。

【0032】

このように構成した入力回路を有する半導体チップをシングルチップパッケー

ジ (SCP) 搭載用に使用する時は、ヒューズ4を切断することなく、第1～第mの静電保護素子1を構成するすべてのトランジスタ $Pch-1 \sim Pch-m$, $Nch-1 \sim Nch-m$ を使用したチップを1つのパッケージに1個搭載する。

【0033】

マルチチップパッケージ搭載用例えばoチップ搭載用に使用する時は、ヒューズ4を切断することなく配線3に接続された、図に示した矢印の範囲の第1～第m/oの静電保護素子1を構成するトランジスタ $Pch-1 \sim Pch-m/o$ 及び $Nch-1 \sim Nch-m/o$ を使用し、ヒューズ4を切断することにより、第m/o+1～第mの静電保護素子1を構成するトランジスタ $Pch-m/o+1 \sim Pch-m$ 及び $Nch-m/o+1 \sim Nch-m$ を配線3と電氣的に切断したチップを1つのパッケージにo個搭載する。

pチップ搭載用の場合は、図に示した矢印の範囲の第1～第m/pの静電保護素子1を構成するトランジスタ $Pch-1 \sim Pch-m/p$ 及び $Nch-1 \sim Nch-m/p$ を使用し、ヒューズ4を切断することにより、第m/p+1～第mの静電保護素子1を構成するトランジスタ $Pch-m/p+1 \sim Pch-m$ 及び $Nch-m/p+1 \sim Nch-m$ を配線3と電氣的に切断したチップを1つのパッケージにp個搭載する。

【0034】

図12は本発明の第8の実施形態を示す図である。

第6の実施形態では1つのパッケージに搭載されることが想定されるチップ数をo, pとしたが、第8の実施形態では、チップ数をo, p, qとしたものである。これにより複数のマルチチップパッケージに共用する半導体チップとして構成することができる。

複数のマルチチップパッケージとして、3種類、例えばoチップ搭載用、pチップ搭載用、qチップ搭載用の共用チップを使用する場合に、パッケージのチップ分の入力ピン容量をo, p, qの最小公倍数mに分割する。

即ち、シングルチップパッケージ用の従来のトランジスタ Pch , Nch に相当する容量を形成する接合面積を最小公倍数のm個に等分に分割する。

従って、各トランジスタ $Pch-1 \sim Pch-m$, $Nch-1 \sim Nch-m$ の

接合面積はシングルチップパッケージ用の各トランジスタ P_{ch} , N_{ch} の接合面積の $1/m$ に形成される。

【 0 0 3 5 】

第 1 の静電保護素子 1 を構成するトランジスタ P_{ch-1} , N_{ch-1} は直接配線 3 に接続され、第 2 ～ 第 m の静電保護素子 1 を構成するトランジスタ $P_{ch-2} \sim P_{ch-m}$ 及び $N_{ch-2} \sim N_{ch-m}$ はそれぞれヒューズ 4 を介して配線 3 に接続されている。

【 0 0 3 6 】

このように構成した入力回路を有する半導体チップをシングルチップパッケージ (SCP) 搭載用に使用する時は、ヒューズ 4 を切断することなく、配線 3 に接続された第 1 ～ 第 m の静電保護素子 1 を構成するすべてのトランジスタ $P_{ch-1} \sim P_{ch-m}$, $N_{ch-1} \sim N_{ch-m}$ を使用したチップを 1 つのパッケージに 1 個搭載する。

【 0 0 3 7 】

マルチチップパッケージ搭載用例えば o チップ搭載用に使用する時は、ヒューズ 4 を切断することなく配線 3 に接続された、図に示した矢印の範囲の第 1 ～ 第 m/o の静電保護素子 1 を構成するトランジスタ $P_{ch-1} \sim P_{ch-m/o}$ 及び $N_{ch-1} \sim N_{ch-m/o}$ を使用し、ヒューズ 4 を切断することにより、第 $m/o + 1 \sim$ 第 m の静電保護素子 1 を構成するトランジスタ $P_{ch-m/o+1} \sim P_{ch-m}$ 及び $N_{ch-m/o+1} \sim N_{ch-m}$ を配線 3 と電氣的に切断したチップを 1 つのパッケージに o 個搭載する。

p チップ搭載用の場合は、図に示した矢印の範囲の第 1 ～ 第 m/p の静電保護素子 1 を構成するトランジスタ $P_{ch-1} \sim P_{ch-m/p}$ 及び $N_{ch-1} \sim N_{ch-m/p}$ を使用し、ヒューズ 4 を切断することにより、第 $m/p + 1 \sim$ 第 m の静電保護素子 1 を構成するトランジスタ $P_{ch-m/p+1} \sim P_{ch-m}$ 及び $N_{ch-m/p+1} \sim N_{ch-m}$ を配線 3 と電氣的に切断したチップを 1 つのパッケージに p 個搭載する。

q チップ搭載用の場合も、図に示した矢印の範囲の第 1 ～ 第 m/q の静電保護素子 1 を構成するトランジスタ $P_{ch-1} \sim P_{ch-m/q}$ 及び $N_{ch-1} \sim N$

$ch-m/q$ を使用し、ヒューズ 4 を切断することにより、第 $m/q+1 \sim$ 第 m の静電保護素子 1 を構成するトランジスタ $Pch-m/q+1 \sim Pch-m$ 及び $Nch-m/q+1 \sim Nch-m$ を配線 3 と電氣的に切断したチップを 1 つのパッケージに q 個搭載する。

【 0 0 3 8 】

上記の例において、例えば $o=2$, $p=3$, $q=4$ とした場合、最少公倍数 m は 12 となり、 o チップ即ち 2 チップ搭載用に使用する時は、 $Pch-1 \sim Pch-6$ 及び $Nch-1 \sim Nch-6$ を使用し、 $Pch-7 \sim Pch-12$ 及び $Nch-7 \sim Nch-12$ のヒューズ 4 を切断したチップを 2 個搭載すれば良い。

p チップ即ち 3 チップ搭載用に使用する時は、 $Pch-1 \sim Pch-4$ 及び $Nch-1 \sim Nch-4$ を使用し、 $Pch-5 \sim Pch-12$ 及び $Nch-5 \sim Nch-12$ のヒューズ 4 を切断したチップを 3 個搭載すれば良い。

q チップ即ち 4 チップ搭載用に使用する時は、 $Pch-1 \sim Pch-3$ 及び $Nch-1 \sim Nch-3$ を使用し、 $Pch-4 \sim Pch-12$ 及び $Nch-4 \sim Nch-12$ のヒューズ 4 を切断したチップを 3 個搭載すれば良い。

【 0 0 3 9 】

図 13 は本発明の第 9 の実施形態を示す図である。

第 7 の実施形態では 1 つのパッケージに搭載されることが想定されるチップ数を o , p としたが、第 9 の実施形態では、チップ数を o , p , q としたものである。これにより複数のマルチチップパッケージに共用する半導体チップとして構成することができる。

第 8 の実施形態とは、第 1 の静電保護素子 1 を構成するトランジスタ $Pch-1$, $Nch-1$ がヒューズ 4 を介して配線 3 に接続されているのが異なるだけで他は同じである。

【 0 0 4 0 】

複数のマルチチップパッケージとして、3 種類、例えば o チップ搭載用、 p チップ搭載用、 q チップ搭載用の共用チップを使用する場合に、パッケージのチップ分の入力ピン容量を o , p , q の最小公倍数 m に分割する。

即ち、シングルチップパッケージ用の従来のトランジスタ Pch , Nch に相

当する容量を形成する接合面積を最小公倍数の m 個に等分に分割する。

従って、各トランジスタ $P_{ch-1} \sim P_{ch-m}$ 、 $N_{ch-1} \sim N_{ch-m}$ の接合面積はシングルチップパッケージ用の各トランジスタ P_{ch} 、 N_{ch} の接合面積の $1/m$ に形成される。

第 $1 \sim$ 第 m の静電保護素子 1 を構成するトランジスタ $P_{ch-1} \sim P_{ch-m}$ 及び $N_{ch-1} \sim N_{ch-m}$ はそれぞれヒューズ 4 を介して配線 3 に接続されている。

【0041】

このように構成した入力回路を有する半導体チップをシングルチップパッケージ（SCP）搭載用に使用する時は、ヒューズ 4 を切断することなく、配線 3 に接続された第 $1 \sim$ 第 m の静電保護素子 1 を構成するすべてのトランジスタ $P_{ch-1} \sim P_{ch-m}$ 、 $N_{ch-1} \sim N_{ch-m}$ を使用したチップを 1 つのパッケージに 1 個搭載する。

【0042】

マルチチップパッケージ搭載用例えば o チップ搭載用に使用する時は、ヒューズ 4 を切断することなく配線 3 に接続された、図に示した矢印の範囲の第 $1 \sim$ 第 m/o の静電保護素子 1 を構成するトランジスタ $P_{ch-1} \sim P_{ch-m/o}$ 及び $N_{ch-1} \sim N_{ch-m/o}$ を使用し、ヒューズ 4 を切断することにより、第 $m/o+1 \sim$ 第 m の静電保護素子 1 を構成するトランジスタ $P_{ch-m/o+1} \sim P_{ch-m}$ 及び $N_{ch-m/o+1} \sim N_{ch-m}$ を配線 3 と電氣的に切断したチップを 1 つのパッケージに o 個搭載する。

p チップ搭載用の場合は、図に示した矢印の範囲の第 $1 \sim$ 第 m/p の静電保護素子 1 を構成するトランジスタ $P_{ch-1} \sim P_{ch-m/p}$ 及び $N_{ch-1} \sim N_{ch-m/p}$ を使用し、ヒューズ 4 を切断することにより、第 $m/p+1 \sim$ 第 m の静電保護素子 1 を構成するトランジスタ $P_{ch-m/p+1} \sim P_{ch-m}$ 及び $N_{ch-m/p+1} \sim N_{ch-m}$ を配線 3 と電氣的に切断したチップを 1 つのパッケージに p 個搭載する。

q チップ搭載用の場合も、図に示した矢印の範囲の第 $1 \sim$ 第 m/q の静電保護素子 1 を構成するトランジスタ $P_{ch-1} \sim P_{ch-m/q}$ 及び $N_{ch-1} \sim N$

$ch-m/q$ を使用し、ヒューズ 4 を切断することにより、第 $m/q+1$ ～第 m の静電保護素子 1 を構成するトランジスタ $Pch-m/q+1 \sim Pch-m$ 及び $Nch-m/q+1 \sim Nch-m$ を配線 3 と電氣的に切断したチップを 1 つのパッケージに q 個搭載する。

【0043】

上記の例において、例えば $o=2$ ， $p=3$ ， $q=4$ とした場合、最少公倍数 m は 12 となり、 o チップ即ち 2 チップ搭載用に使用する時は、 $Pch-1 \sim Pch-6$ 及び $Nch-1 \sim Nch-6$ を使用し、 $Pch-7 \sim Pch-12$ 及び $Nch-7 \sim Nch-12$ のヒューズ 4 を切断したチップを 2 個搭載すれば良い。

p チップ即ち 3 チップ搭載用に使用する時は、 $Pch-1 \sim Pch-4$ 及び $Nch-1 \sim Nch-4$ を使用し、 $Pch-5 \sim Pch-12$ 及び $Nch-5 \sim Nch-12$ のヒューズ 4 を切断したチップを 3 個搭載すれば良い。

q チップ即ち 4 チップ搭載用に使用する時は、 $Pch-1 \sim Pch-3$ 及び $Nch-1 \sim Nch-3$ を使用し、 $Pch-4 \sim Pch-12$ 及び $Nch-4 \sim Nch-12$ のヒューズ 4 を切断したチップを 4 個搭載すれば良い。

【0044】

以上のように第 6 ～第 9 の実施形態によれば、パッケージのチップ分の入力ピン容量を 1 つのパッケージに搭載されることが想定されるチップ数の最小公倍数に分割しているので、第 1 ～第 5 の実施形態の効果に加えて半導体チップを更に複数のマルチチップパッケージ用に共用することができる。

【0045】

【発明の効果】

上記したように、本発明によればマルチチップパッケージにした場合でも入力ピン容量をシングルチップパッケージと同じ容量に設定できるので、入力ピン容量のスペックを満足することができ、半導体チップをシングルチップパッケージ用とマルチチップパッケージ用に共用することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の入力回路を示す図

【図 2】

第 1 の実施形態を示す図

【図 3】

本発明の第 2 の実施形態の入力回路を示す図

【図 4】

第 2 の実施形態を示す図

【図 5】

本発明の第 3 の実施形態の入力回路を示す図

【図 6】

第 3 の実施形態を示す図

【図 7】

本発明の第 4 の実施形態の入力回路を示す図

【図 8】

第 4 の実施形態を示す図

【図 9】

本発明の第 5 の実施形態を示す図

【図 1 0】

本発明の第 6 の実施形態を示す図

【図 1 1】

本発明の第 7 の実施形態を示す図

【図 1 2】

本発明の第 8 の実施形態を示す図

【図 1 3】

本発明の第 9 の実施形態を示す図

【図 1 4】

従来の入力回路を示す図

【符号の説明】

- | | |
|---|---------|
| 1 | 静電気保護素子 |
| 2 | 入力パッド |

3 配線

4 ヒューズ

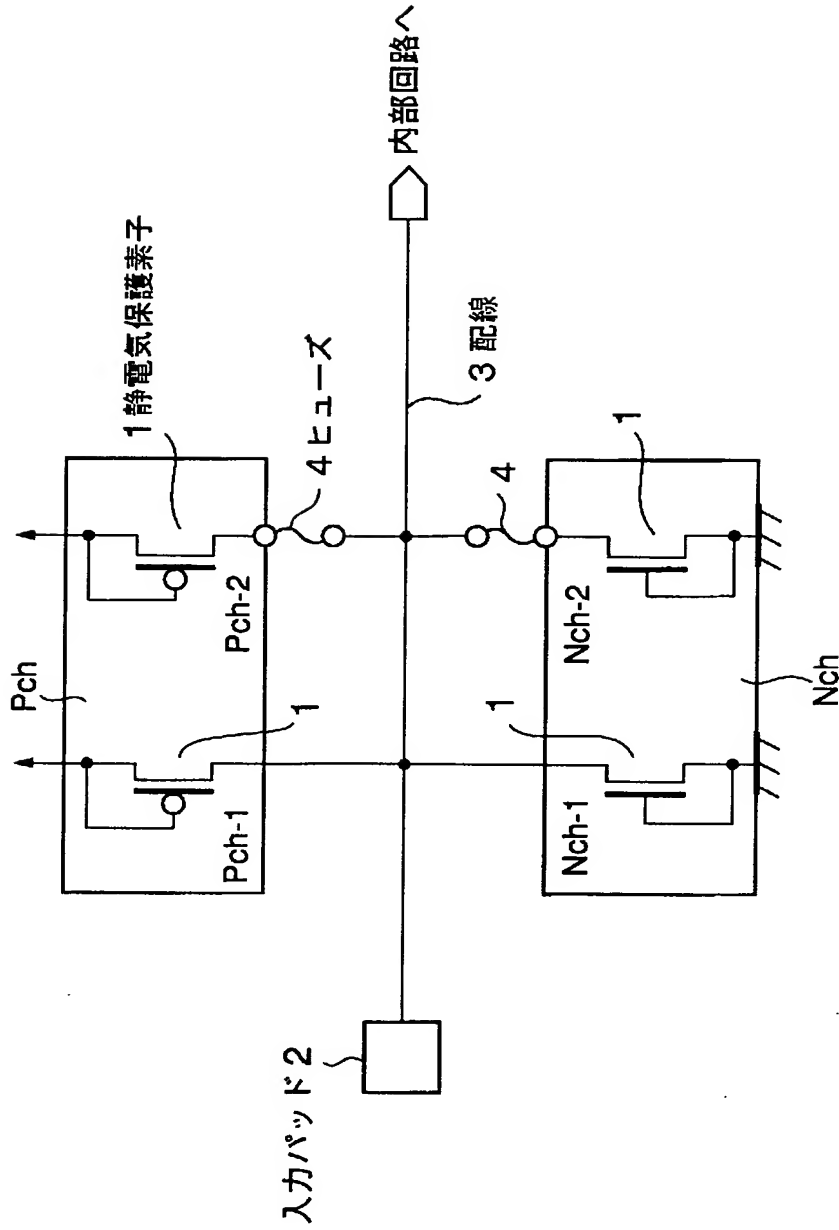
5 共通端子

P c h - 1 ~ P c h - n , P c h - m , P c h - s PチャネルMOS
トランジスタ

N c h - 1 ~ N c h - n , N c h - m , N c h - s NチャネルMOS
トランジスタ

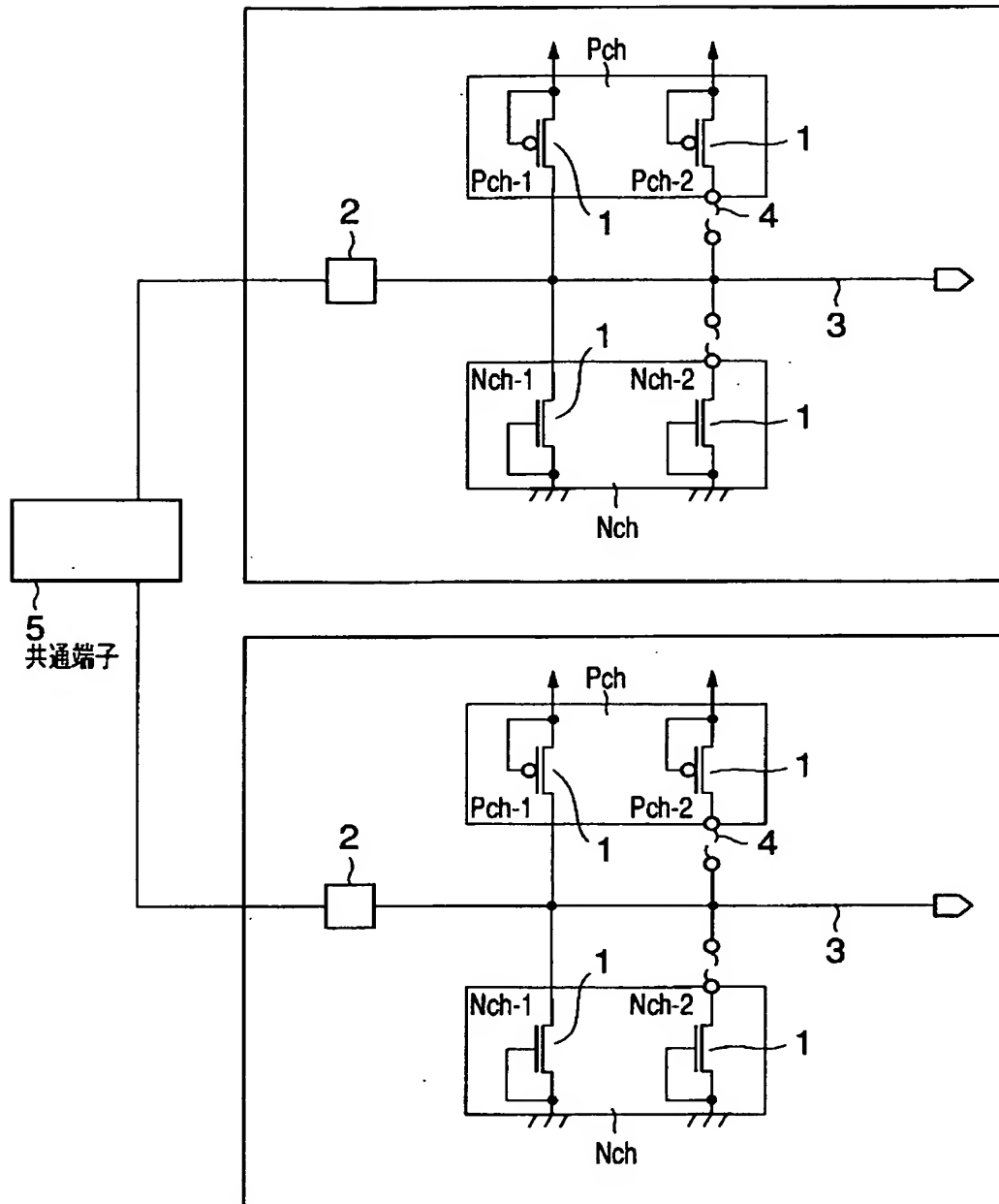
【書類名】 図面

【図 1】



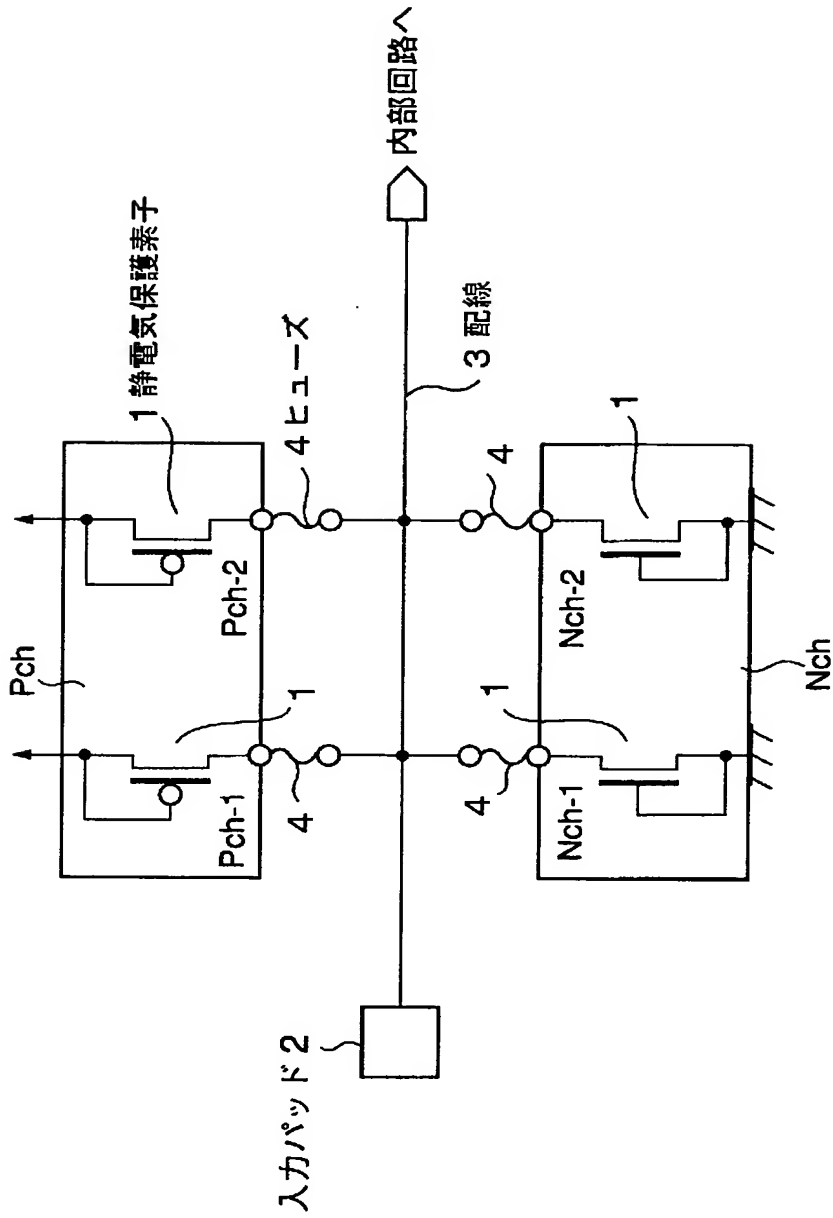
第1の実施形態の入力回路を示す図

【図 2】



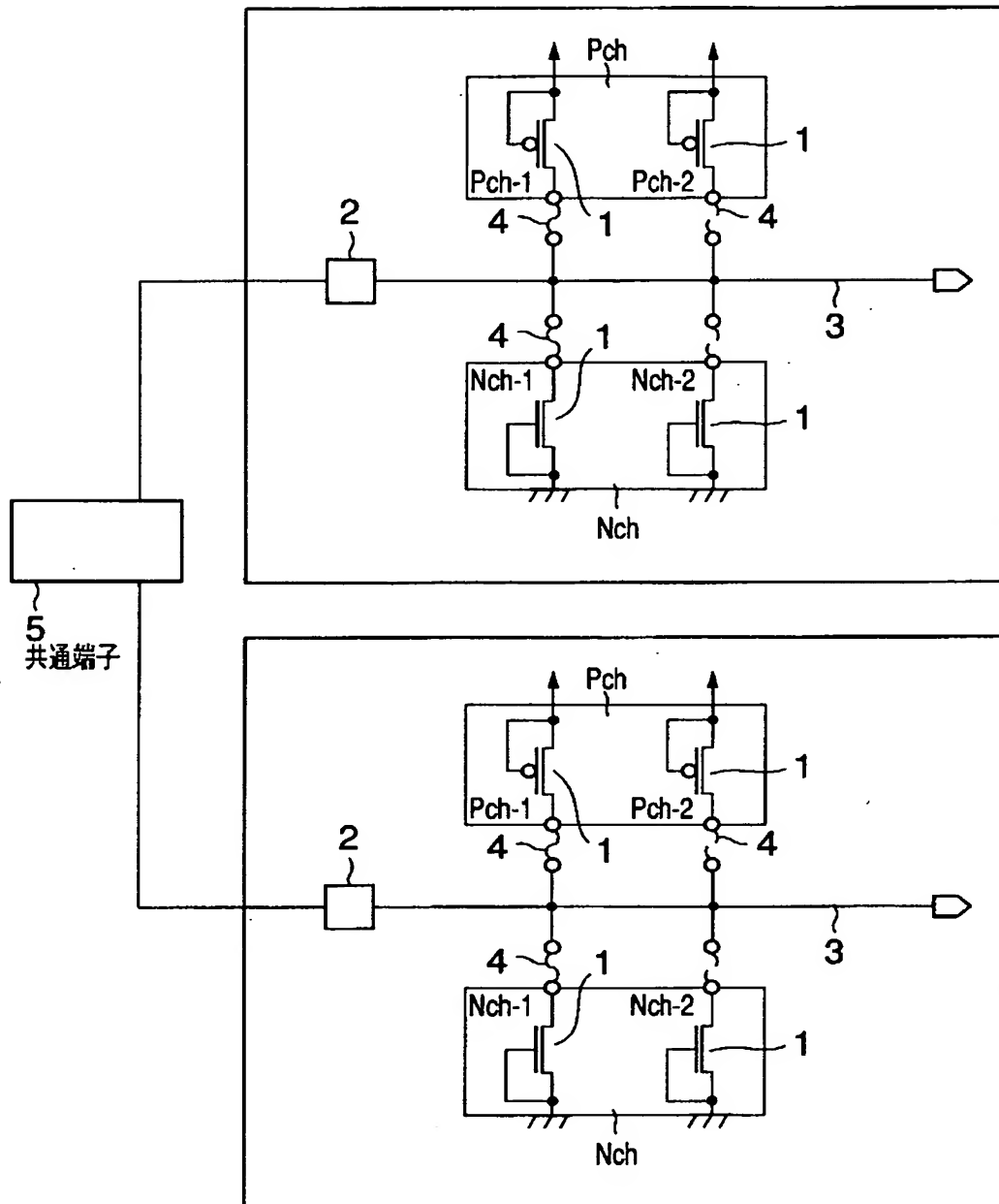
第1の実施形態を示す図

【図 3】



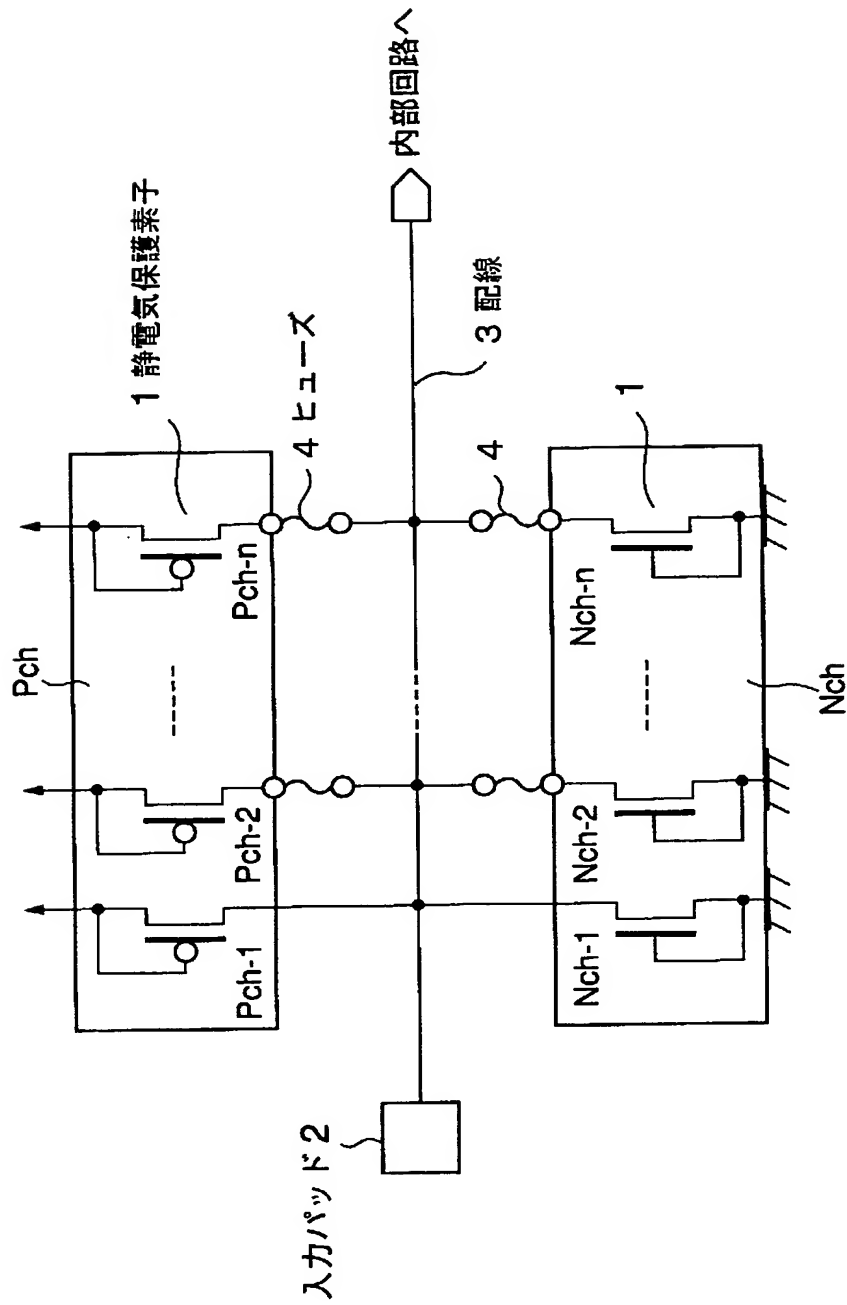
第2の実施形態の入力回路を示す図

【図 4】



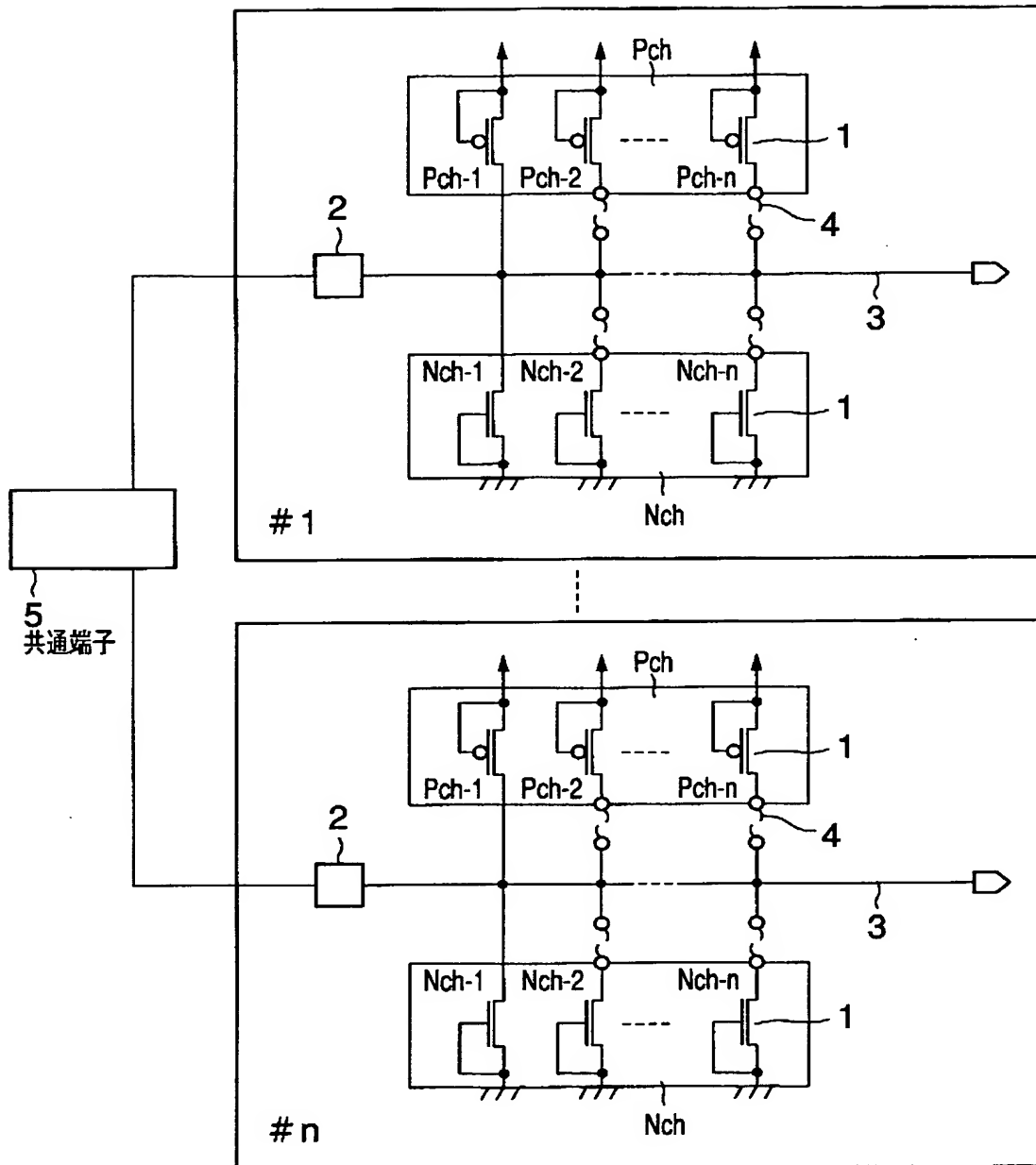
第2の実施形態を示す図

【図 5】



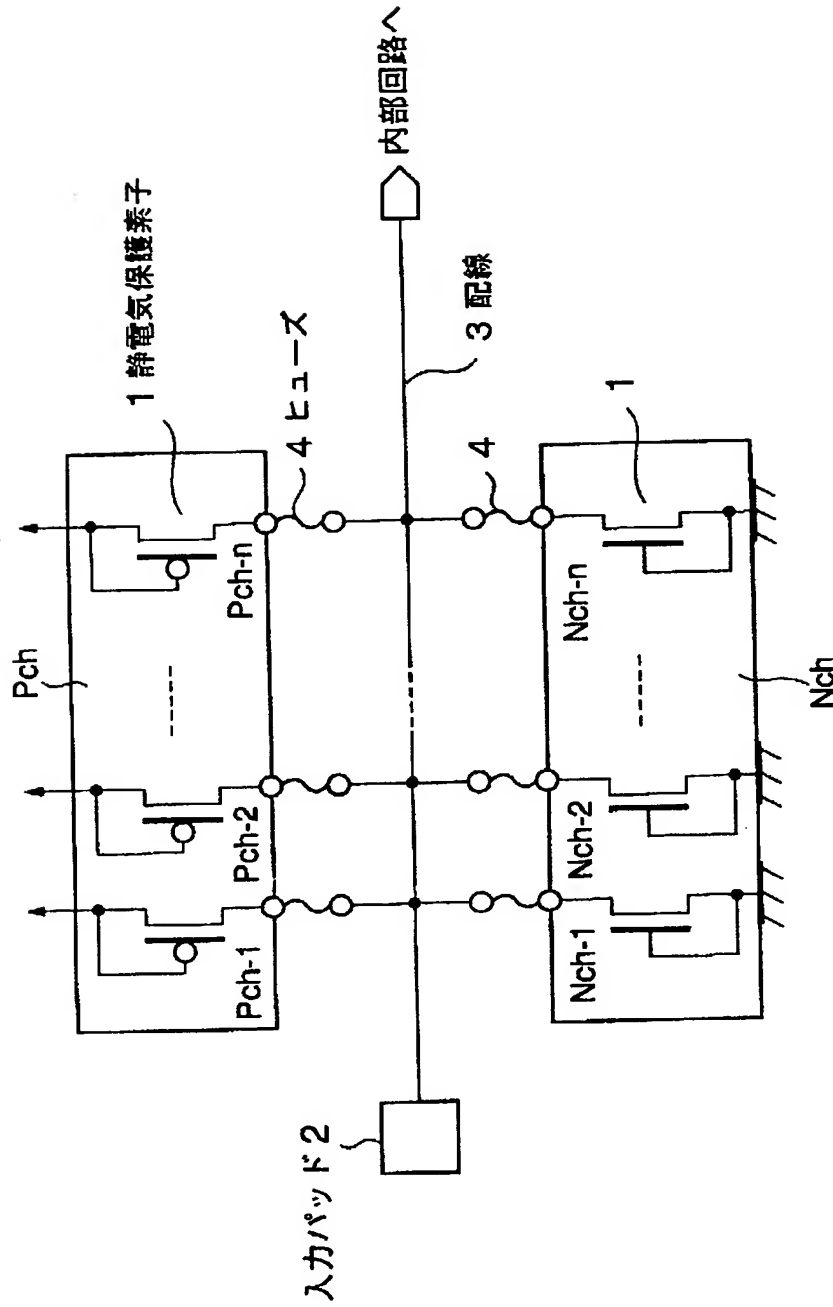
第3の実施形態の入力回路を示す図

【図 6】



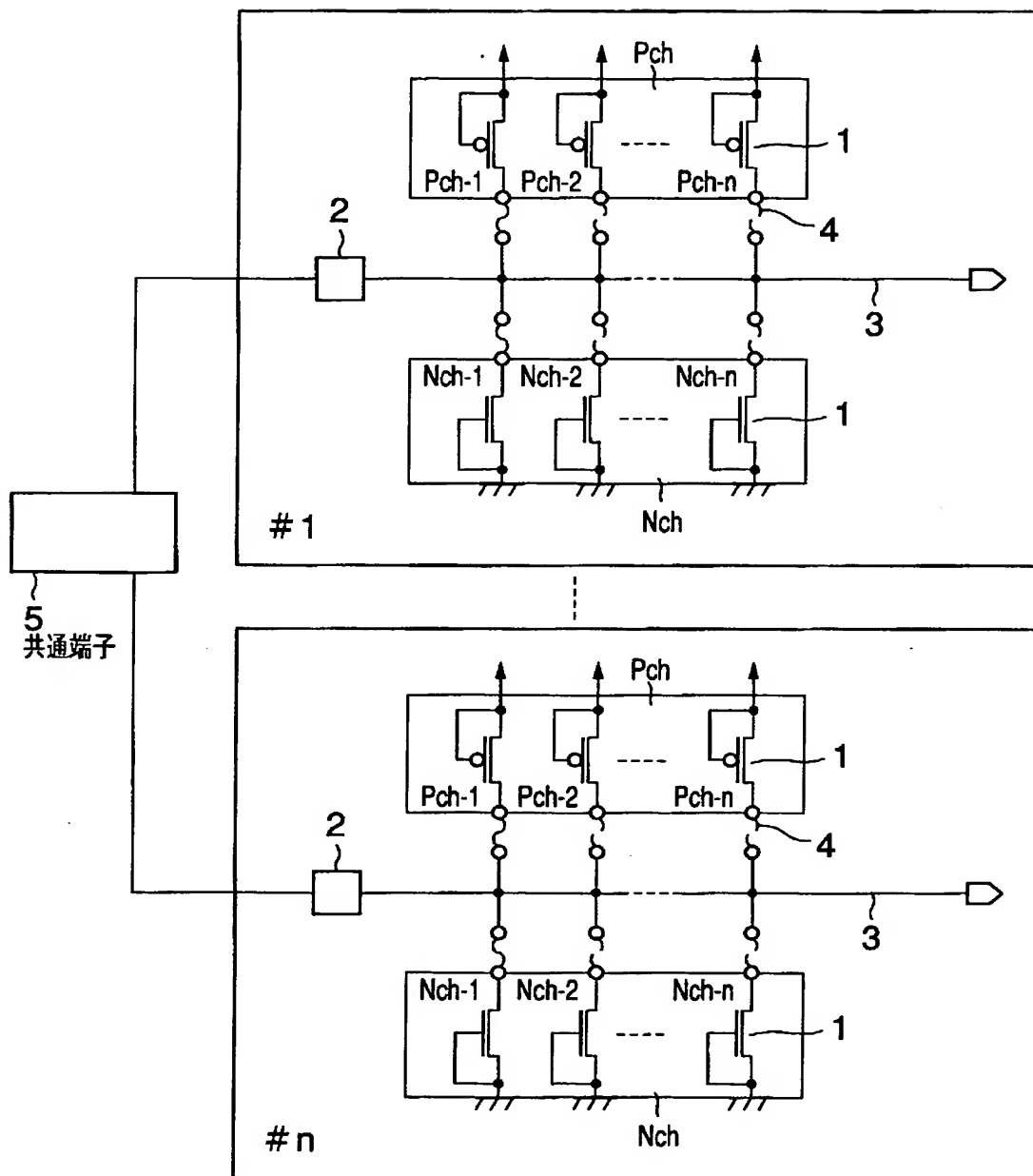
第3の実施形態を示す図

【図 7】



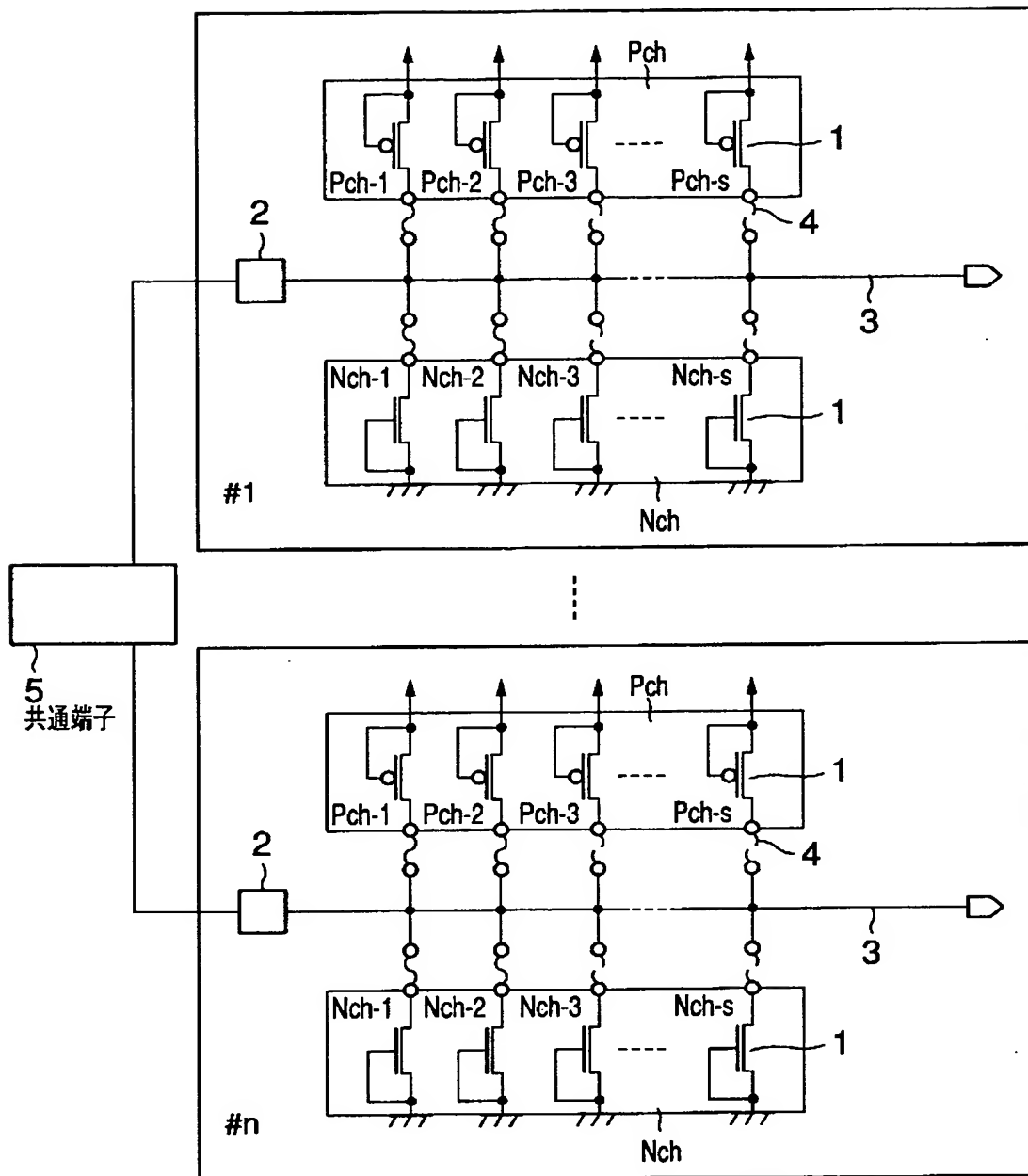
第4の実施形態の入力回路を示す図

【図 8】



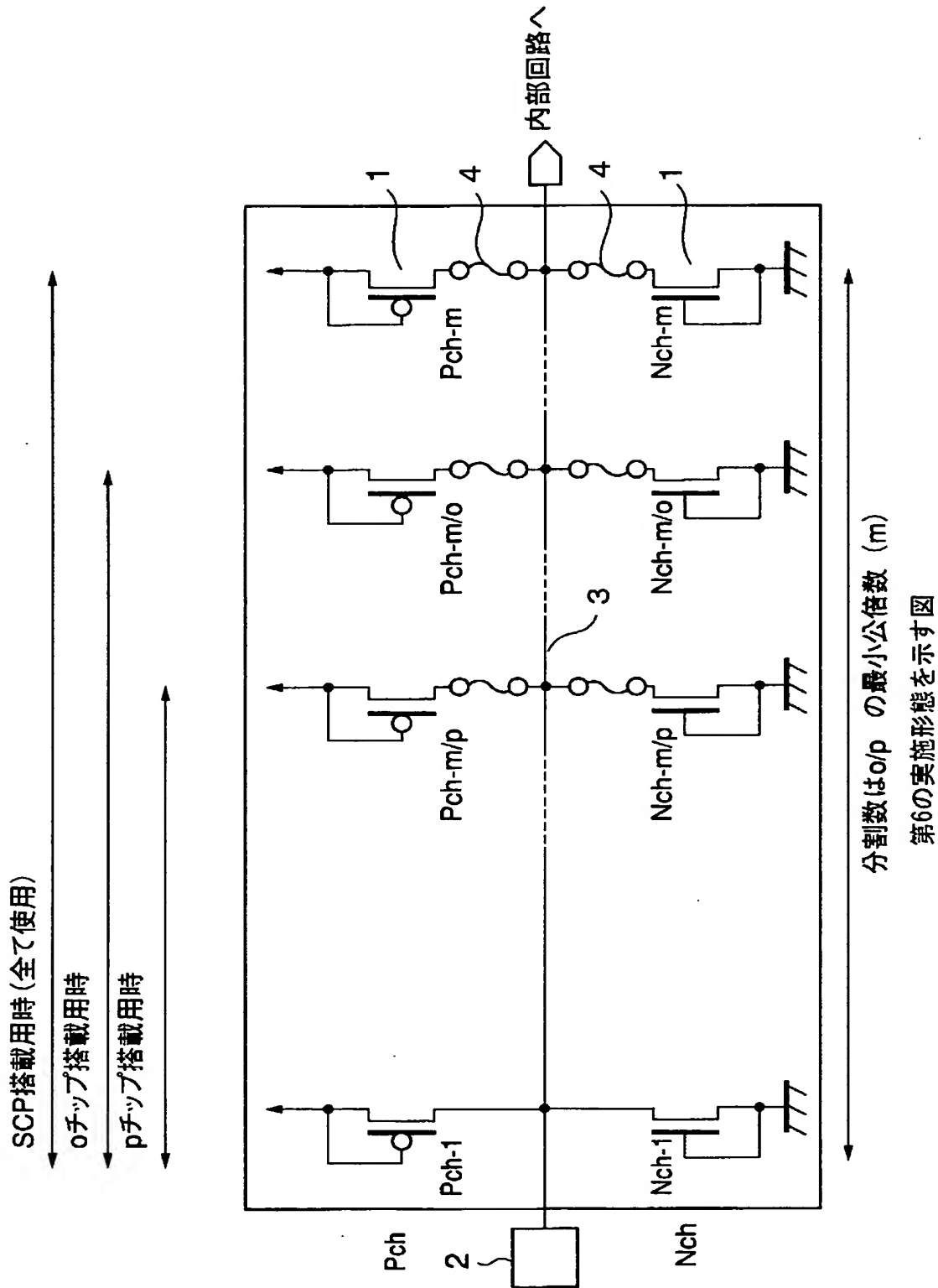
第4の実施形態を示す図

【図 9】

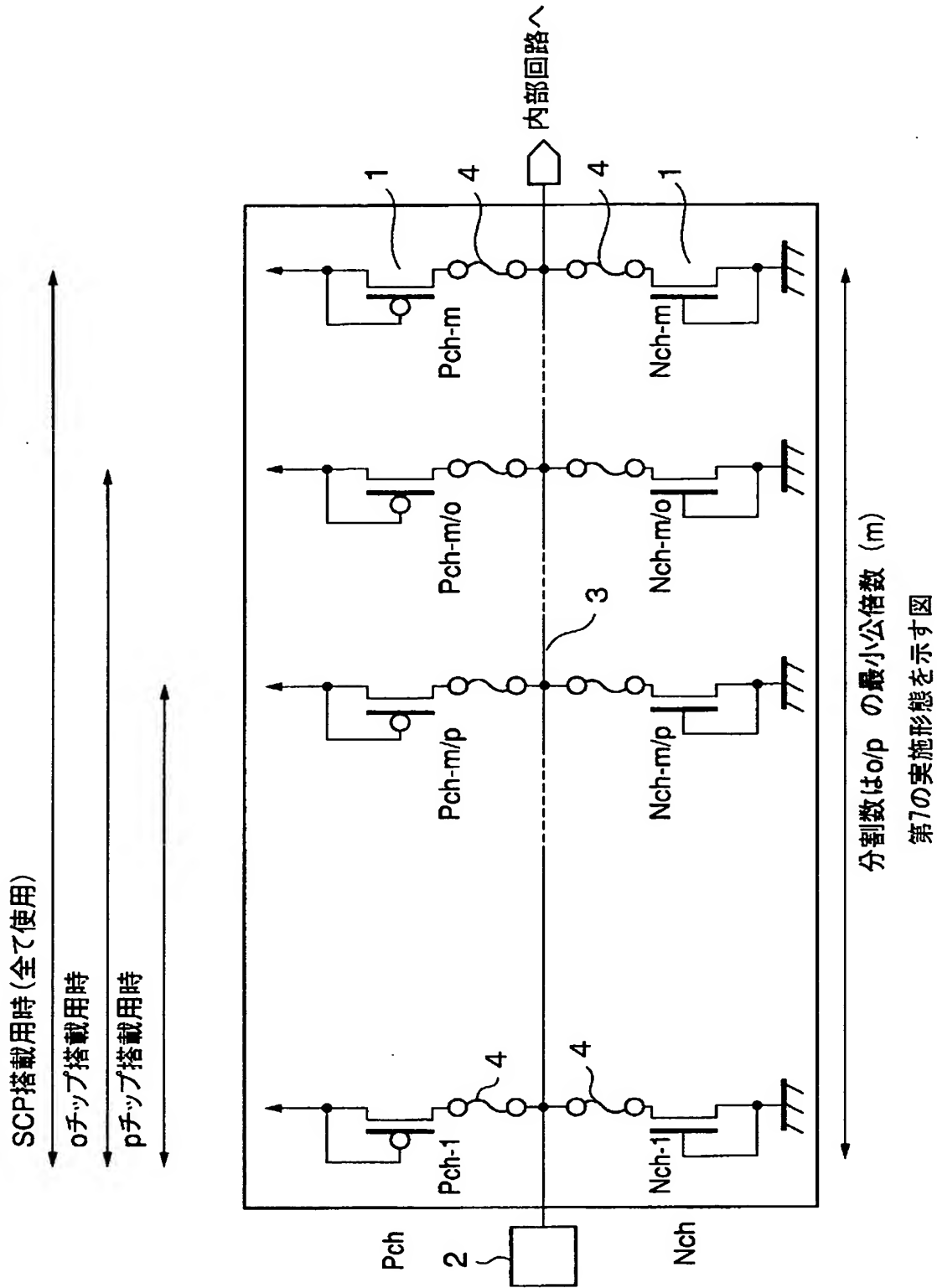


第5の実施形態を示す図

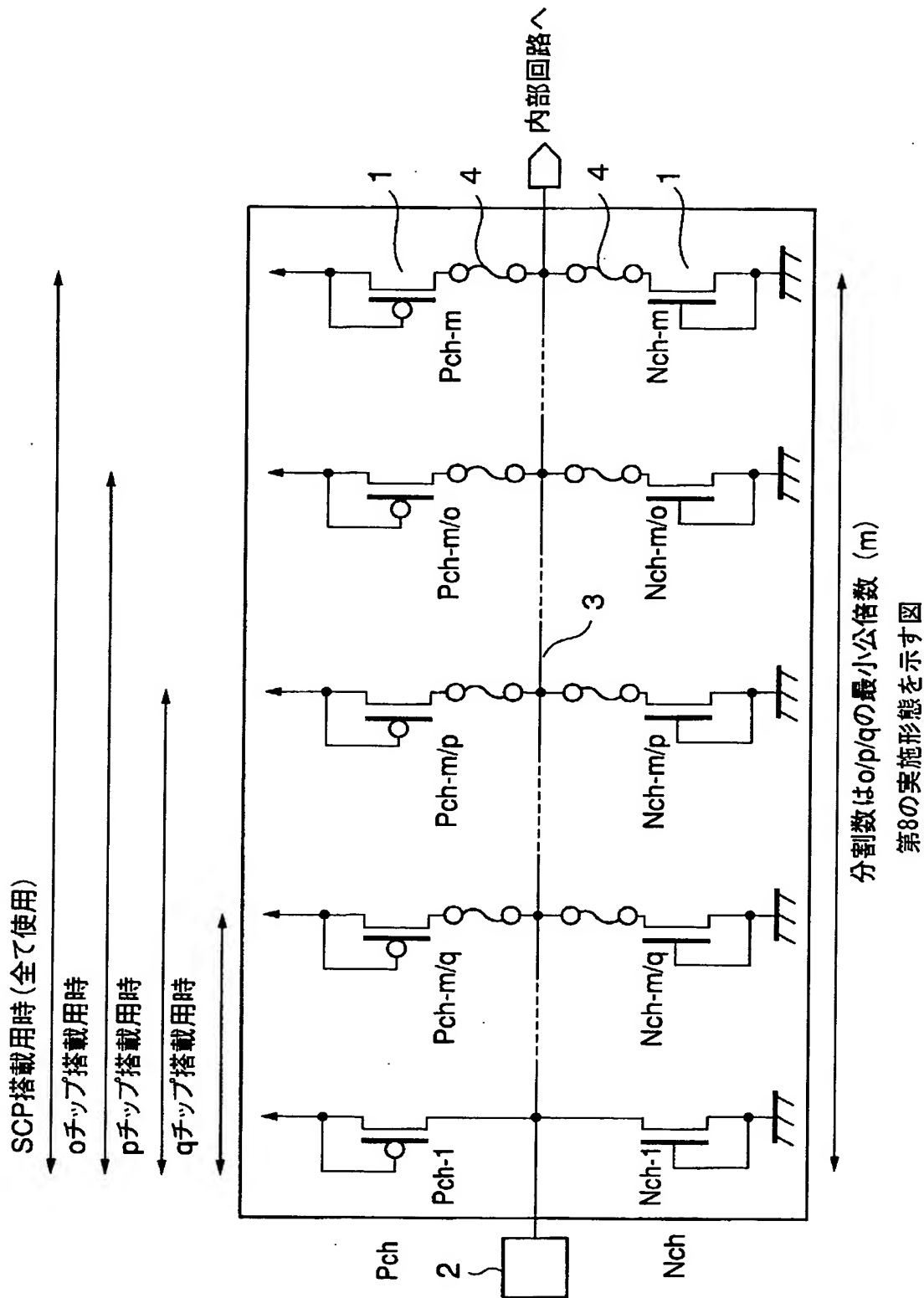
【図10】



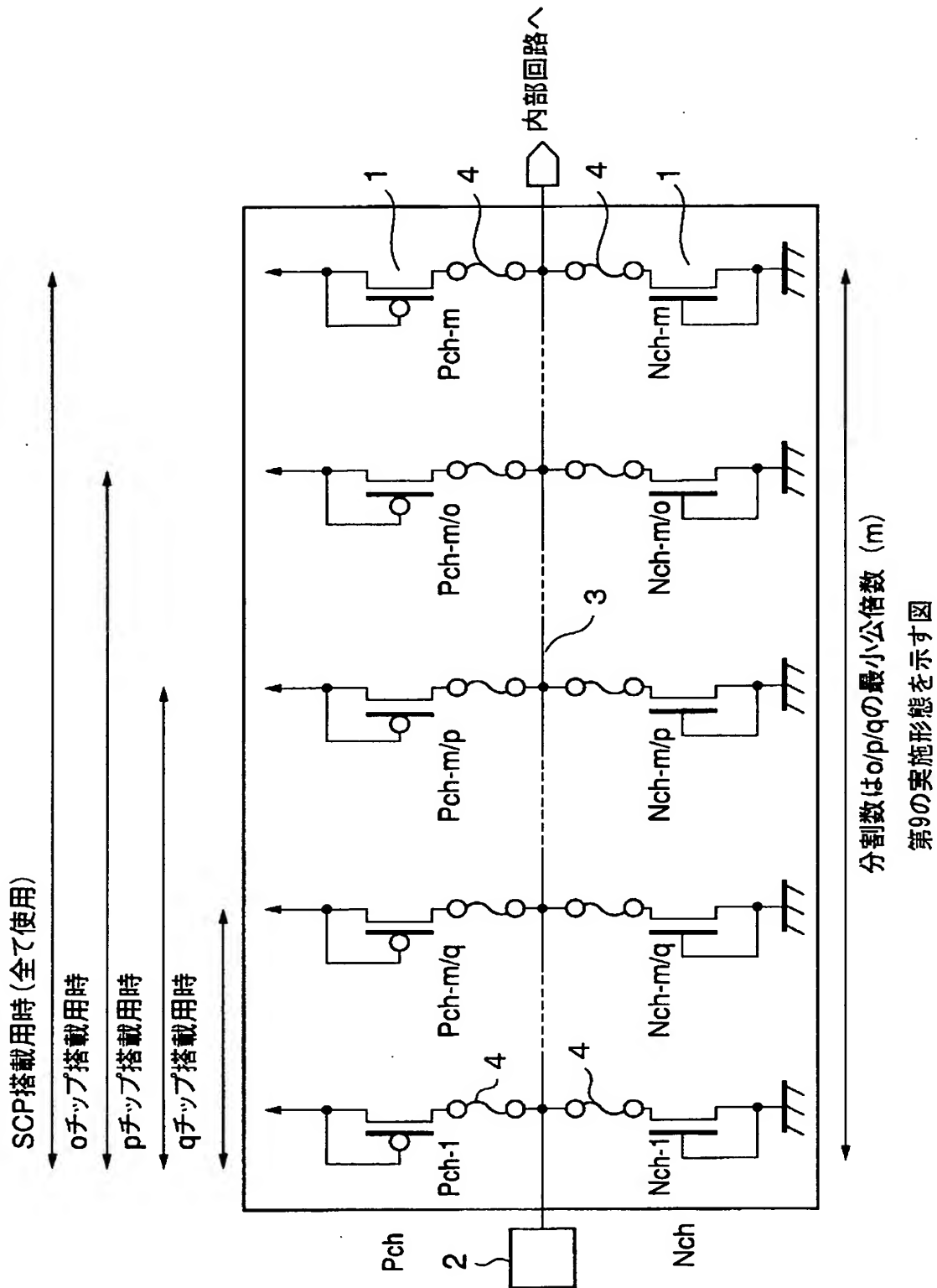
【図 1 1】



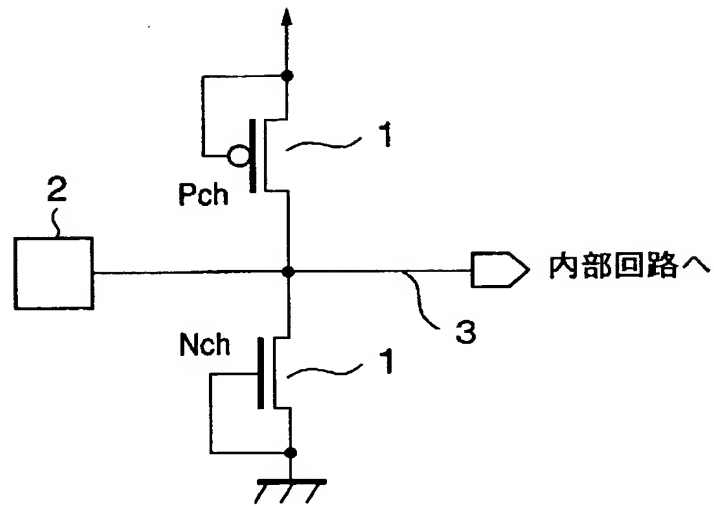
【図 1 2】



【図13】



【図 1 4】



従来の入力回路を示す図

【書類名】 要約書

【要約】

【課題】 シングルチップパッケージ用に入力ピン容量が設定された半導体チップを用いてマルチチップパッケージとした場合、入力ピン容量が増加してしまい、入力ピン容量のスペック（仕様、規格）の上限を逸脱するという問題があった。

【解決手段】 入力パッド2と内部回路とを接続する配線3と、配線3に電氣的に接続された第1の静電気保護素子1（Pch-1，Nch-1）と、配線3の近傍に配置された第2の静電気保護素子1（Pch-2，Nch-2）と、配線3と第2の静電気保護素子との間に配置されたヒューズ4とを有する入力回路を備える半導体チップが単数又は二つ搭載された半導体装置であって、半導体チップが単数の場合はヒューズ4により配線3と第2の静電気保護素子とは電氣的に接続され、半導体チップが二つの場合はヒューズ4を切断することにより、配線3と第2の静電気保護素子とは電氣的に切断するようにした。

【選択図】 図1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 9 3 1 4 8
受付番号	5 0 2 0 1 5 0 2 2 8 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 0 月 8 日

< 認定情報・付加情報 >

【提出日】 平成14年10月 7日

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社